



دانشگاه تربیت مدرس شهید رجایی

دانشکده مهندسی برق و کامپیوتر
گروه الکترونیک

دستور کار آزمایشگاه مدارهای منطقی

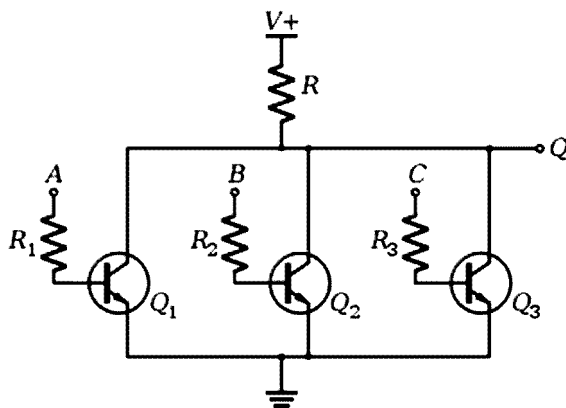
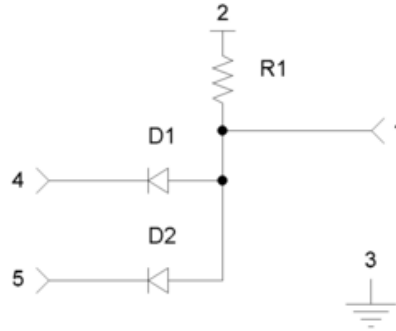
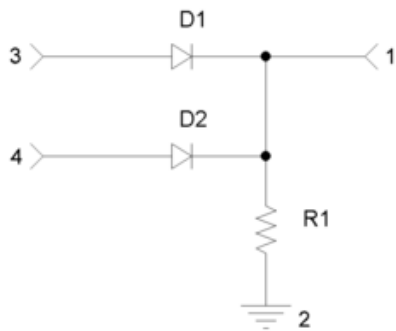
تهیه کننده: حمید کریمی

بهمن ماه ۱۳۹۰

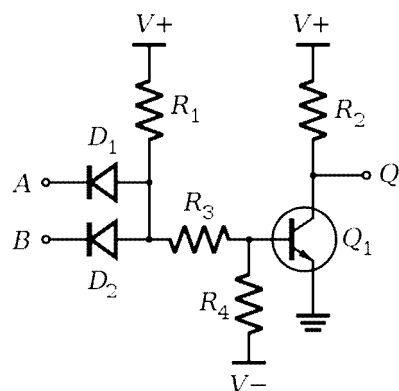
آزمایش شماره ۱

هدف: پیاده‌سازی گیت‌های منطقی با منطق‌های مختلف

الف: مدارهای مقابل گیت‌های طراحی شده بر اساس منطق RDL را نشان می‌دهند. آن‌ها را بسته و جداول صحت مربوطه را استخراج نمایید. (ورودی‌ها ۰ و +۵ ولت و مقاومت‌ها یک کیلو اهم و دیود 1N4001 انتخاب شوند).



ب: مدار مقابل گیت طراحی شده بر اساس منطق RTL را نشان می‌دهند. آن را بسته و جدول صحت مربوطه را استخراج نمایید. (ترانزیستورها BC107. مقاومت‌های ورودی ۴۵۰ اهم، مقاومت تغذیه ۶۴۰ اهم و تغذیه ۳/۶ ولت انتخاب شوند).



ج: مدار مقابل گیت طراحی شده بر اساس منطق DTL را نشان می‌دهند. آن را بسته و جدول صحت مربوطه را استخراج نمایید. (ترانزیستور BC107، $R_2=2K$ ، $R_1=5K$ ، $R_4=5K$ ، $R_3=1K$ ، دیودها 1N4001، ترانزیستور BC107 و تغذیه ۵ ولت انتخاب شوند).

آزمایش شماره ۲

هدف: معادل سازی انواع روابط و گیت های منطقی با استفاده از گیت های پایه NAND و NOR

- روش پیاده سازی روابط و گیت های منطقی با استفاده از گیت پایه NAND در زیر نشان داده شده است. علاوه بر پیاده سازی این مدارها، تمامی روابط را با استفاده از گیت پایه NOR پیاده نمایید. برای این منظور از گیت های NAND موجود در آی سی ۷۴۰۰ و گیت های NOR موجود در آی سی ۷۴۰۲ با تکنولوژی TTL استفاده نمایید.

(۱)

Desired Gate NAND Construction



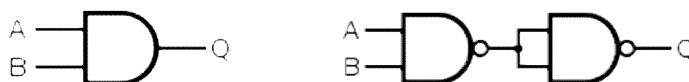
Truth Table

Input A	Output Q
0	1
1	0

(۲)

Desired Gate

NAND Construction



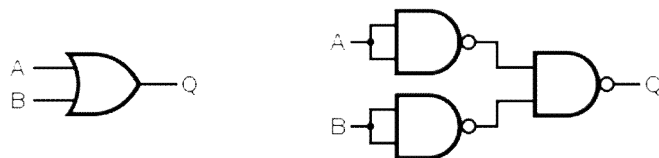
Truth Table

Input A	Input B	Output Q
0	0	0
0	1	0
1	0	0
1	1	1

(۳)

Desired Gate

NAND Construction



Truth Table

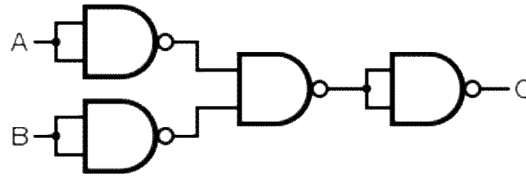
Input A	Input B	Output Q
0	0	1
0	1	1
1	0	1
1	1	0

(۴)

Desired Gate



NAND Construction



Truth Table

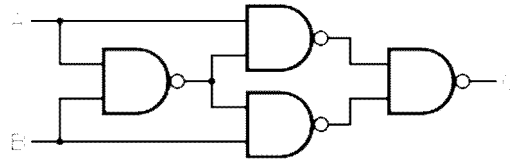
Input A	Input B	Output Q
0	0	1
0	1	0
1	0	0
1	1	0

(۵)

Desired Gate



NAND Construction



Truth Table

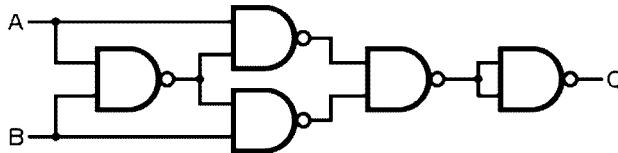
Input A	Input B	Output Q
0	0	0
0	1	1
1	0	1
1	1	0

(۶)

Desired Gate



NAND Construction



Truth Table

Input A	Input B	Output Q
0	0	1
0	1	0
1	0	0
1	1	1

(۷) تابع منطقی $f = AB + CD$

آزمایش شماره ۳

هدف: تشکیل جدول صحت از روی صورت مسئله و ساده سازی توابع منطقی

الف: برای کنترل چراغ راهنمایی یک چهارراه، از یک مرکز فرماندهی دستور تغییر رنگ چراغ‌ها داده می‌شود. این دستور توسط چند رشته سیم به چهارراه می‌رسد. هدف طراحی مداری است که توسط آن چراغ‌ها را به ترتیب زیر روشن یا خاموش نمایند:

- چراغ (A) زمانی سبز یا زرد است که چراغ (B) قرمز باشد.

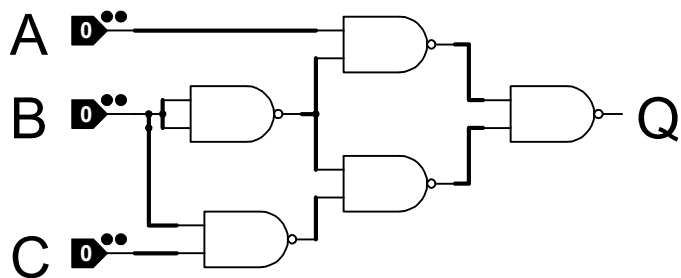
- چراغ (B) زمانی سبز یا زرد است که چراغ (A) قرمز باشد.

جدول صحت مدار فوق را طراحی کرده و مدار را با کمک گیت‌های منطقی NAND پیاده نمایید. آیا می‌توان با استفاده از گیت‌های منطقی دیگر تعداد گیت‌های مورد استفاده را کاهش داد؟ بررسی نمایید آیا می‌توان مدار فوق را با مداری دیگر جایگزین نمود. آیا لزوماً این مسئله یک جواب دارد؟ اگر جواب منفی است، مدار دومی پیشنهاد نمایید.

ب: می‌خواهیم در یک سیستم صنعتی هرگاه یک فاز و یا دو فاز از سه فاز ورودی قطع شدند، سیستم اخطار دهد. جدول صحتی برای پیاده‌سازی مدار فوق طراحی کرده و پس از ساده‌سازی آن به کمک جدول کارنو، مدار را پیاده نمایید.

ج: مداری طراحی نمایید که دارای سه ورودی A، B و C باشد. می‌خواهیم هرگاه $C=0$ است در خروجی A ظاهر شود و هرگاه $C=1$ است در خروجی B ظاهر شود. ابتدا جدول صحت و رابطه‌ی خروجی را بدست آورید، سپس مدار را با استفاده از گیت‌های منطقی لازم ساخته و نتیجه را تحقیق نمایید.

- مدار زیر را با استفاده از گیت‌های NAND ساخته و جدول صحت و رابطه‌ی خروجی را بدست آورید و مدار را با مدار قبل مقایسه نمایید. آیا تفاوتی وجود دارد.



آزمایش شماره ۴

هدف: استخراج و پیاده‌سازی روابط بولی از روی جدول صحت

الف: از روی جدول صحت زیر، جمله جبر بولی معادل و فرم تابعی را در حالت ماکسترم استخراج کرده و آن را در همان حالت پیاده نمایید.

Truth Table			
Input A	Input B	Input C	Output Q
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

- روابط را در حالت مینترم استخراج و پیاده نمایید. آیا تعداد گیت‌های منطقی مورد استفاده کاهش میابد؟

ب: پس از ساده‌سازی جدول صحت زیر آن را به دو صورت با استفاده از گیت‌های منطقی و با استفاده از مداری کلیدی طراحی نمایید.

Truth Table			
Input A	Input B	Input C	Output Q
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

ج: برای مدار کلید تبدیل یک جدول صحت تشکیل دهید، سپس آن را به کمک گیت‌های منطقی موجود پیاده نمایید.

آزمایش شماره ۵

هدف: راه اندازی 7-segment، جمع، تفریق و ضرب باینری

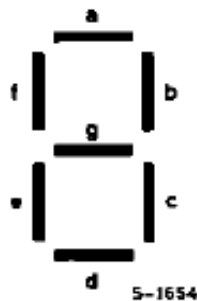
الف: آی سی ۴۵۱۱ از تکنولوژی CMOS یک مبدل اعداد چهار بیتی باینری BCD به یک کد هفت بیتی متناظر جهت نمایش بر روی 7-segment است. آشنایی با این آی سی بسیار مهم است. در جدول و شکل زیر مشخصات آی سی بیان شده است.

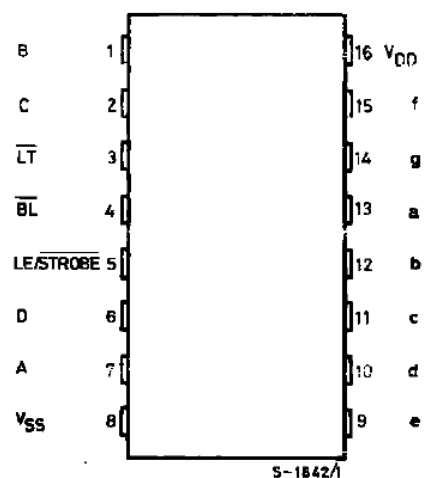
TRUTH TABLE

LE	\overline{BI}	\overline{LT}	D	C	B	A	a	b	c	d	e	f	g	Display
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	Blank
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	Blank
0	1	1	1	0	1	1	0	0	0	0	0	0	0	Blank
0	1	1	1	1	0	0	0	0	0	0	0	0	0	Blank
0	1	1	1	1	0	1	0	0	0	0	0	0	0	Blank
0	1	1	1	1	1	0	0	0	0	0	0	0	0	Blank
0	1	1	1	1	1	1	0	0	0	0	0	0	0	Blank
1	1	1	X	X	X	X				*				*

همانطور که از جدول صحت مشخص است این آی سی، 7-segment های کاتد مشترک را راه اندازی می کند. بنابراین پایه کاتد مشترک 7-segment باید به زمین متصل شود.

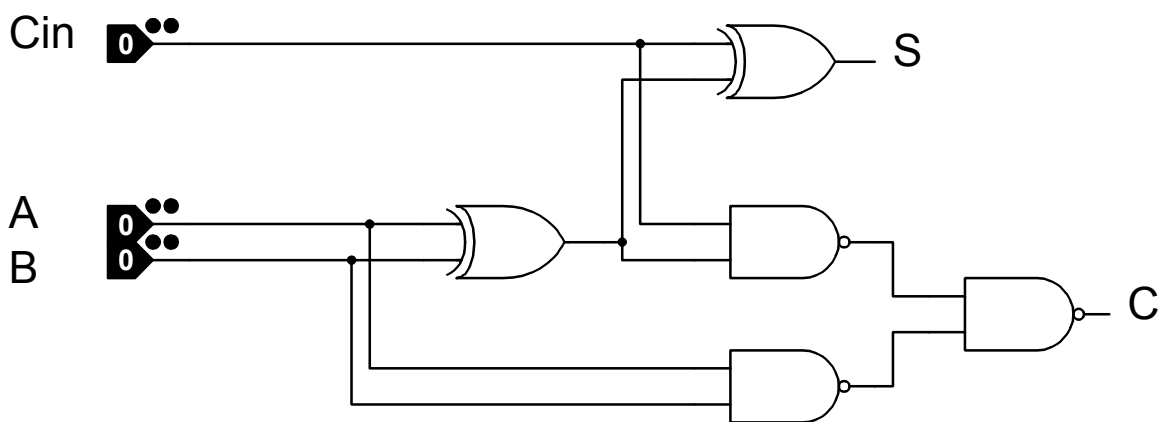
- با اعمال ورودی های ۰۰۰۰ تا ۱۱۱۱ به ورودی، خروجی های متناظر را مشاهده کنید.





PIN CONNECTIONS

ب: مدار جمع کننده کامل در زیر نشان داده شده است. آن را بسته و خروجی را بر روی 7-segment نشان دهید.



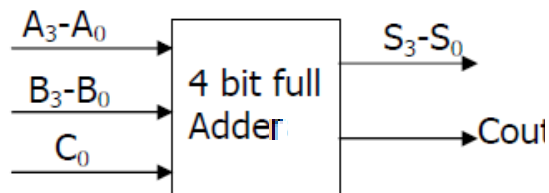
ج: به همین شکل مدار تفریق کننده کامل را طراحی کرده و نتیجه را بر روی 7-segment نشان دهید.

د: مدار ضرب کننده دو عدد دوبیتی را طراحی و پیاده کرده و نتایج را بر روی 7-segment نشان دهید.

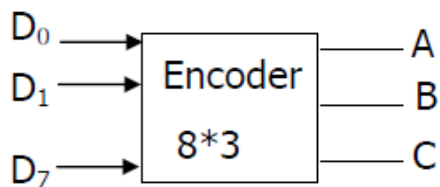
آزمایش شماره ۶

هدف: مدارهای ترکیبی (جمع کننده، انکودر، دیکودر)

الف: مدار جمع کننده کامل ۴ بیتی را به کمک گیت‌های منطقی موجود طراحی و پیاده نمایید.



ب: شکل بلوکی یک مدار انکودر در مقابل نشان داده شده است. مدار انکودر چهار به دو را با کمک گیت‌های منطقی موجود پیاده نمایید.



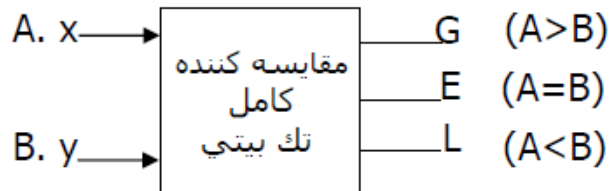
ج: با کمک دو دیکودر سه به هشت و دیگر گیت‌های منطقی، یک جمع کننده باینری دو عدد دو بیتی طراحی و پیاده کرده و نتیجه حاصل را بر روی سون سگمنت نمایش دهید (یک دیکودر چهار به دو بر روی ست موجود است و دیگری را باید خود طراحی نمایید).

د: به کمک دو دیکودر دو به چهار (که دارای پایه فعال ساز نیز هستند) یک دیکودر سه به هشت طراحی و پیاده نمایید.

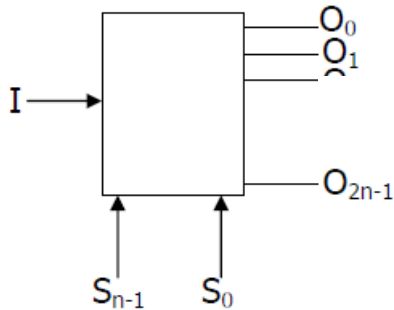
آزمایش شماره ۷

هدف: مدارهای ترکیبی (مقایسه کننده، مالتی پلکسر، دی مالتی پلکسر)

الف: شکل بلوکی یک مدار مقایسه کننده تک بیتی کامل در مقابل نشان داده شده است. مدار مقایسه کننده دو بیتی کامل را با کمک گیت‌های منطقی موجود پیاده نمایید.



ب: شکل بلوکی یک مدار دی مالتی پلکسر در مقابل نشان داده شده است. مدار دی مالتی پلکسر یک به هشت را با کمک گیت‌های منطقی موجود پیاده سازی نمایید.



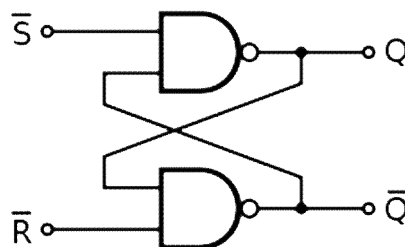
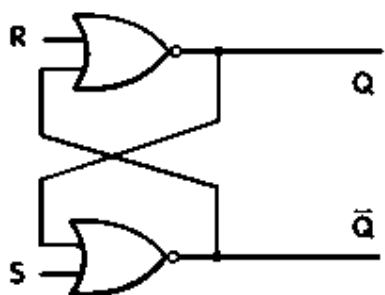
ج: تابع $f = \sum(1,2,4,7,10,15)$ را به کمک یک مالتی پلکسر با حداقل ابعاد پیاده نمایید.

د: با استفاده از دو مالتی پلکسر چهار به یک (که یکی از آن‌ها بر روی ست موجود و دیگری باید طراحی شود)، یک مدار جمع کننده کامل طراحی نمایید و نتیجه حاصل را بر روی 7-segment نمایش دهید.

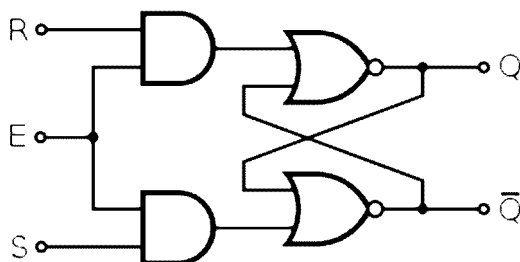
آزمایش شماره ۸

هدف: مدارهای لچ زیر را بسته، جدول صحت آن‌ها را استخراج و با اعمال ورودی دلخواه دیاگرام زمانی آن‌ها

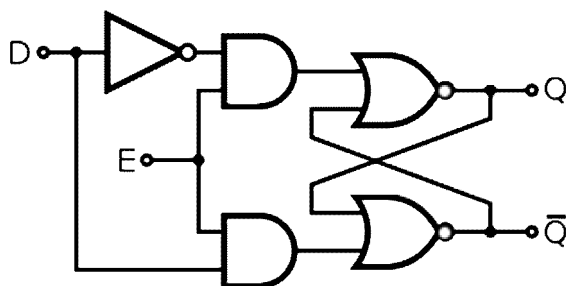
الف: مدارهای لچ زیر را بسته، جدول صحت آن‌ها را استخراج و با اعمال ورودی دلخواه دیاگرام زمانی آن‌ها را رسم نمایید. آیا تفاوتی دارند؟ مشکل آن‌ها چیست؟



ب: مدار فلیپ فلاپ RS زیر را بسته، جدول صحت آن را استخراج و با اعمال ورودی و پالس ساعت دلخواه دیاگرام زمانی آن را رسم نمایید. (E همان ورودی پالس ساعت است). با این تغییر چه مشکلی از مدارهای قبلی حل می‌شود؟



ج: مدار فلیپ فلاپ D زیر را بسته، جدول صحت آن را استخراج و با اعمال ورودی و پالس ساعت دلخواه دیاگرام زمانی آن را رسم نمایید. (E همان ورودی پالس ساعت است). با این تغییر چه مشکلی از مدارهای قبلی حل می‌شود؟



• تابع منطقی فلیپ فلاپ JK به صورت $Q_{t+1} = J\bar{Q}_t + KQ_t$ است. با استفاده از یک فلیپ فلاپ SR آن را پیاده نمایید و با اعمال ورودی و پالس ساعت دلخواه دیاگرام زمانی آن را رسم نمایید.

• تابع منطقی فلیپ فلاپ T به صورت $Q_{t+1} = T\bar{Q}_t + \bar{T}Q_t$ است. با استفاده از یک لچ SR آن را پیاده نمایید و با اعمال ورودی و پالس ساعت دلخواه دیاگرام زمانی آن را رسم نمایید.

آزمایش شماره ۹

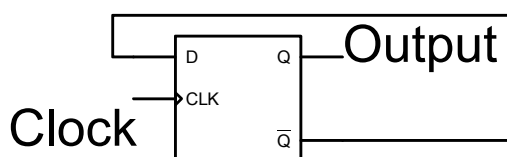
هدف: مدارهای ترتیبی (کاربرد فلیپ فلاپها)

الف: بر اساس مداری ترتیبی یک مدار کلید تبدیل طراحی و پیاده نمایید.

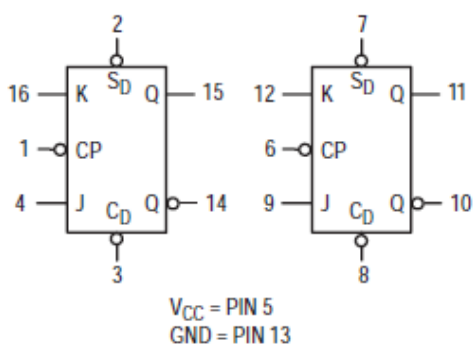
ب: با استفاده از یک فلیپ فلاپ D و گیت‌های منطقی دیگر یک فلیپ فلاپ نوع T طراحی نمایید.

ج: آی‌سی ۷۴۱۷۵ دارای ۴ فلیپ فلاپ نوع D به صورت زیر است.

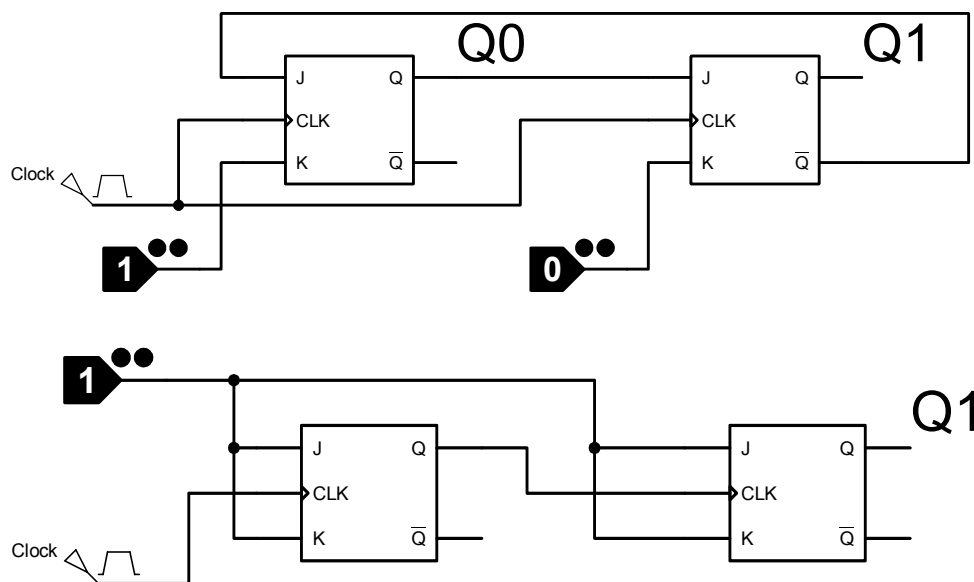
با استفاده از این آی‌سی مدار زیر را پیاده کرده و با اعمال موج مربعی به کلاک شکل موج خروجی را بدست آورده و بگویید چه رابطه‌ای با ورودی دارد.



د: آی‌سی ۷۴۷۶ دارای ۲ فلیپ فلاپ نوع JK به صورت زیر است.



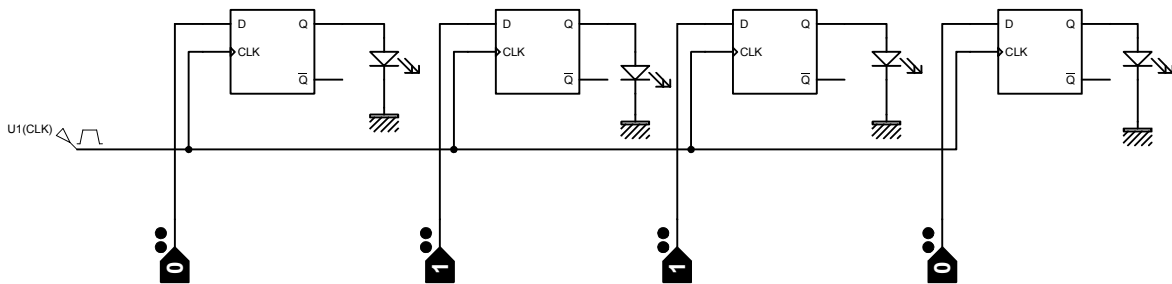
با استفاده از این آی‌سی مدارهای زیر را پیاده کرده و با اعمال موج مربعی به کلاک شکل موج‌های خروجی را بدست آورده و رسم کنید.



آزمایش شماره ۱۰

هدف: ساخت انواع شیفت رجیستر (ثبات انتقال)

الف: مدار شیفت رجیستر ۴ بیتی ورودی موازی - خروجی موازی (PIPO) به صورت زیر است. آن را پیاده کرده و با اعمال دیتای ۰۱۱۰ به ورودی آن انتقال اطلاعات به خروجی را مشاهده و ثبت نمایید (دیگرام زمانی مدار را رسم کنید).



ب: به همین ترتیب مدار شیفت رجیستر ورودی سری - خروجی سری (SISO) و ورودی سری - خروجی موازی (SIPO) را طراحی نموده، با اعمال دنباله ۰۱۰۱۱۱۱۰ به ورودی آن، خروجی را ثبت نمایید.

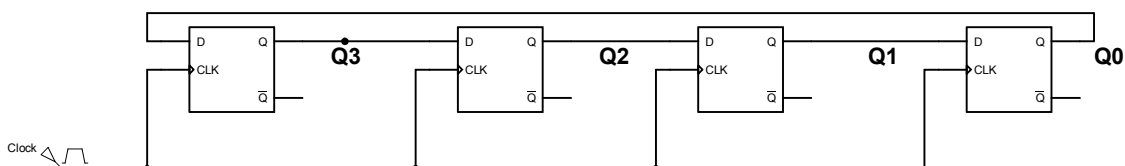
ج: با استفاده از D F.F و مدارهای جانبی مانند مالتی پلکسر یک شیفت رجیستر ۳ بیتی با ورودی موازی - خروجی سری (PISO) طراحی و پیاده نمایید.

د: با استفاده از مالتی پلکسر و D F.F یک شیفت رجیستر ۲ بیتی با ورودی موازی - خروجی موازی (PIPO) با قابلیت شیفت به دو طرف طراحی و پیاده‌سازی نمایید.

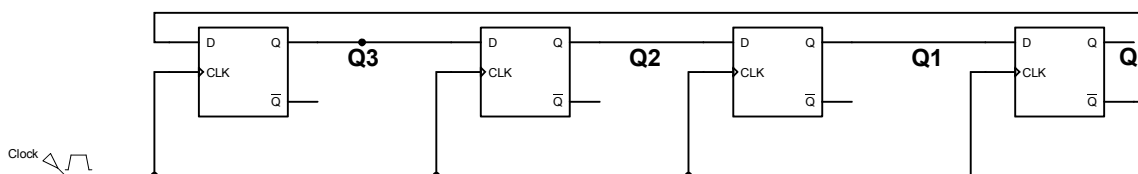
آزمایش شماره ۱۱

هدف: شمارنده‌های سنکرون (همزمان)

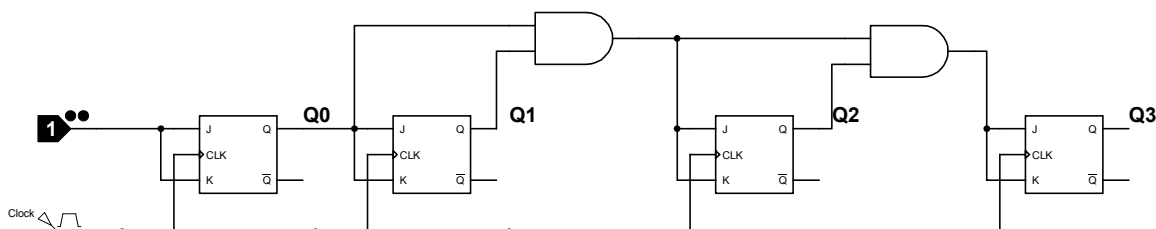
الف: مدار شمارنده سنکرون حلقوی به صورت مقابل است. آن را پیاده کرده و دیاگرام زمانی آن را رسم نمایید و مشخص کنید چه اعدادی را و به چه ترتیبی شمارش می‌کند. خروجی را بر روی سون سگمنت نمایش دهید. (توجه: در این شمارنده در ابتدای کار باید برای یک پالس ساعت Q_3 یک منطقی گردد).



ب: مدار شمارنده سنکرون جانسون به صورت مقابل است. مراحل قبل را برای این شمارنده نیز انجام دهید و تفاوت‌های این شمارنده با شمارنده قبل را توضیح دهید.



ج: شمارنده‌ی دودویی سنکرون صعودی شمار ۴ بیتی با قابلیت شروع مجدد به صورت مقابل است. مراحل قبل را برای این شمارنده نیز انجام و طرز کار مدار را به طور کامل توضیح دهید.

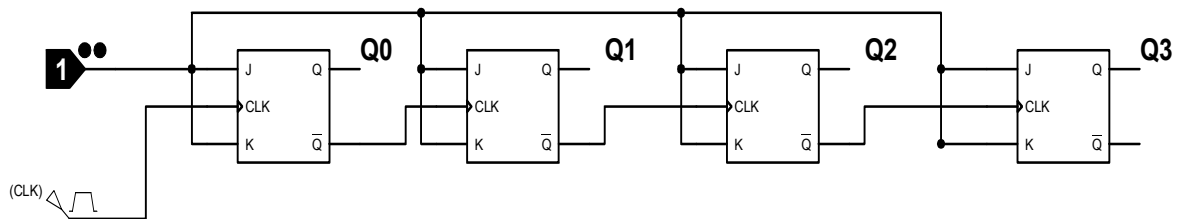


د: شمارنده‌ی دودویی سنکرون نزولی شمار ۴ بیتی با قابلیت شروع مجدد را طراحی نمایید. مراحل قبل را برای این شمارنده نیز انجام دهید.

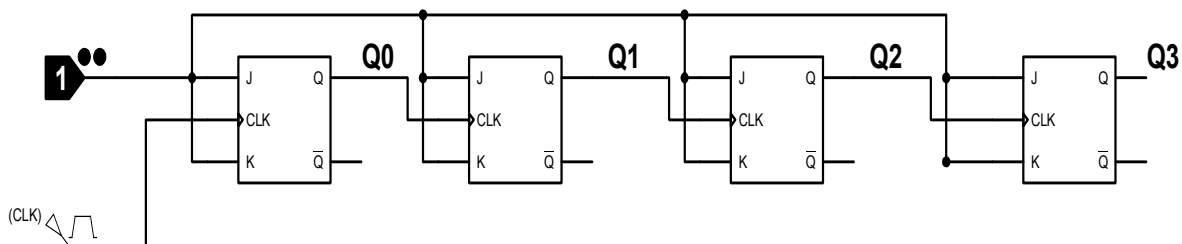
آزمایش شماره ۱۲

هدف: شمارنده‌های آسنکرون (غیر همزمان)

الف: مدار شمارنده دودویی غیر همزمان صعودی شمار به صورت مقابل است. آن را پیاده کرده و دیگرام زمانی آن را رسم نمایید و مشخص کنید چه اعدادی را و به چه ترتیبی شمارش می‌کند. خروجی را بر روی سون سگمنت نمایش دهید.

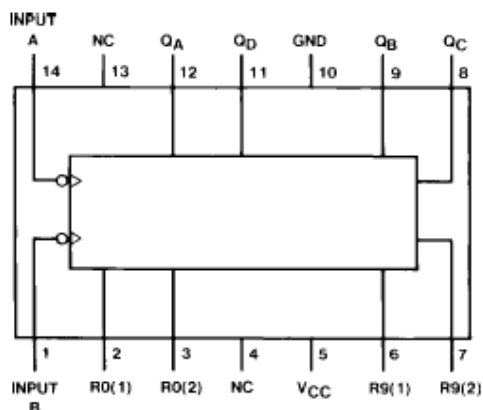


ب: مدار شمارنده دودویی غیر همزمان نزولی شمار به صورت مقابل است. مراحل قبل را برای این شمارنده نیز انجام دهید.



ج: می‌خواهیم شمارنده صعودی شمار بعد از ده پالس به حالت اول برگردد. مداری طراحی کنید که این امکان را تحقق بخشد. (راهنمایی: از پایه clear استفاده نمایید).

د: آی سی ۷۴۹۰ یک شمارنده BCD است که دیگرام پایه‌ها و جداول صحت ورودی و خروجی آن مطابق زیر است.



LS90 Reset/ Count Truth Table								LS90 BCD Count Sequence (See Note A)				
Reset Inputs				Output				Count	Output			
R0(1)	R0(2)	R9(1)	R9(2)	Q _D	Q _C	Q _B	Q _A		Q _D	Q _C	Q _B	Q _A
H	H	L	X	L	L	L	L	0	L	L	L	L
H	H	X	L	L	L	L	L	1	L	L	L	H
X	X	H	H	H	L	L	H	2	L	L	H	L
X	L	X	L	H	L	L	H	3	L	L	H	H
L	X	L	X	COUNT	COUNT	COUNT	COUNT	4	L	H	L	L
L	X	X	L	COUNT	COUNT	COUNT	COUNT	5	L	H	L	H
L	X	X	L	COUNT	COUNT	COUNT	COUNT	6	L	H	H	L
X	L	L	X	COUNT	COUNT	COUNT	COUNT	7	L	H	H	H
								8	H	L	L	L
								9	H	L	L	H

*دقت کنید که برای شمارش BCD پایه ۱۲ باید به پایه ۱ متصل شود و کلاک پالس به پایه ۱۴ اعمال می شود.

با استفاده از این آی سی، شمارنده ای طراحی کنید که تا از صفر تا هفت را به صورت صعودی بشمارد و سپس به حالت اولیه برگشته و شمارش را با پالس بعدی مجدداً آغاز نماید.